



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000312311 A**(43) Date of publication of application: **07.11.00**

(51) Int. Cl. **H04N 5/262**
G03B 19/00

(21) Application number: **11120005**(22) Date of filing: **27.04.99**(71) Applicant: **NIPPON HOSO KYOKAI <NHK>**

(72) Inventor: **SHIMAMOTO HIROSHI**
SUGAWARA MASAYUKI

(54) **SIGNAL PROCESSOR**

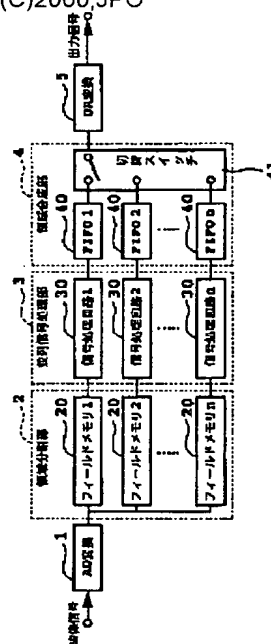
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a miniaturized signal processor of a simple circuit constitution which can fast process a high definition image by controlling the writing of digital video signals and processing these signals in parallel to each other after dividing them into an optional areas in terms of a two-dimensional space.

SOLUTION: An A/D conversion part 1 converts the outputted analog video signals into the digital video signals, and an area dividing part 2 divides the digital video signals into plural areas by means of plural field memories 20. Then the pixel data on the divided areas adjacent to each other are added to every divided area as the overlap width images. A parallel signal processing part 3 includes plural signal processing circuits 30, transmits the video signals of every divided area outputted from every memory 20 of the part 2 as the slow serial signals or the like, and executes processing such as filtering these signals in parallel to each other after converting them into the parallel signal or the like. An area synthesizing part 4 synthesizes the signals of every divided area

transmitted to every FIFO memory 40 corresponding to each circuit 30 as the superhigh definition video signals via a changeover switch 41.

COPYRIGHT: (C)2000 JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-312311

(P2000-312311A)

(43) 公開日 平成12年11月7日 (2000.11.7)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

H 0 4 N 5/262

H 0 4 N 5/262

2 H 0 5 4

G 0 3 B 19/00

G 0 3 B 19/00

5 C 0 2 3

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号

特願平11-120005

(22) 出願日

平成11年4月27日 (1999. 4. 27)

特許法第30条第1項適用申請有り 平成10年11月19日～
11月20日 社団法人電子情報通信学会開催の「電子情報
通信学会技術研究報告」において文書をもって発表

(71) 出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(72) 発明者 島本 洋

東京都世田谷区砧一丁目10番11号 日本放
送協会 放送技術研究所内

(72) 発明者 菅原 正幸

東京都世田谷区砧一丁目10番11号 日本放
送協会 放送技術研究所内

(74) 代理人 100077481

弁理士 谷 義一 (外2名)

Fターム(参考) 2H054 AA01

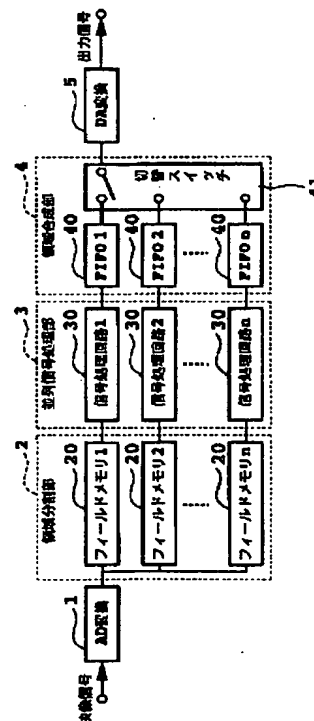
5C023 AA11 AA37 BA11 DA04

(54) 【発明の名称】 信号処理装置

(57) 【要約】

【課題】 超高精細な撮像の高速処理を実現すると共に、簡単な回路構成で装置の小型化を図ること。

【解決手段】 並列信号処理部3の入力側に設けられたメモリ20に対して、テレビジョンカメラから得られたデジタルの映像信号の書き込みを制御して2次元空間的に任意の領域に分割し、各分割領域毎に映像信号を並列に信号処理する。



【特許請求の範囲】

【請求項 1】 映像信号をデジタル変換後に並列的に処理する装置であって、

前記デジタル変換後の映像信号を、画素配列方向である水平方向および該水平方向に直交する垂直方向に分割して 2 次元空間的な複数の分割領域を形成する領域分割手段と、

前記各分割領域に隣接する隣接分割領域の一部の映像をのりしろ映像として、当該各分割領域の映像信号に付加する付加手段と、

前記分割領域の分割数に対応した数を有し、かつ、前記のりしろ映像が付加された映像信号の信号量に対応した記憶領域を有する複数のメモリと、

前記各メモリに記憶された前記のりしろ映像が付加された映像信号を、当該各メモリに対応した前記分割領域毎に並列して信号処理する並列信号処理手段と、

前記並列して信号処理された各のりしろ映像が付加された映像信号を、映像出力用として合成する映像合成手段とを具えたことを特徴とする信号処理装置。

【請求項 2】 前記付加手段によって、前記分割領域の一部の映像信号をのりしろ映像として付加することにより、前記分割領域よりも、水平方向、垂直方向、又はその両方向に対して広い領域の映像信号を用いて信号処理を行うことを特徴とする請求項 1 記載の信号処理装置。

【請求項 3】 前記複数のメモリを、複数のフィールドメモリ又は FIFO メモリとフィールドメモリの組み合わせにより構成し、前記映像信号を当該メモリに記録するタイミングを分割領域毎にずらしていくとき、各メモリの記録タイミングを分割領域よりも前後に広いタイミングで取り込むことにより、分割領域より広い領域の映像信号を各メモリに取り込むことを特徴とする請求項 1 又は 2 記載の信号処理装置。

【請求項 4】 前記映像信号は、撮像装置から得られた超高精細映像信号であることを特徴とする請求項 1 ないし 3 のいずれかに記載の信号処理装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、信号処理装置に係り、特に、超高精細テレビジョンカメラから得られる超高精細映像信号をデジタル化して並列信号処理を行う映像信号処理装置に関する。

【0002】

【従来の技術】 従来、例えば、テレビジョンカメラの出力映像信号をデジタル処理するためには、実時間での処理が必要なことから、高速な信号処理回路が必要である。

【0003】 さらに、解像度の高いテレビジョンカメラになってくると、処理する信号も大量になってくるため、実時間処理するためには、信号処理回路を並列化する必要がある。

【0004】 従来、並列信号処理回路は、入力されたデジタル信号を時系列に順番に分割して並列化処理を行っている（特開平 7-231417 号公報等参照）。

【0005】

【発明が解決しようとする課題】 テレビジョンカメラから得られる映像信号は 2 次元情報であるため、1 次元信号として出力される映像信号を時系列で分割した場合、一つの処理回路に入力される信号は、空間的に連続ではなく、空間フィルタなどの 2 次元信号処理を並列に行うには、並列化された複数のチャンネル間で信号のやりとりを行うなど複雑な処理が必要となる。

【0006】 一方、画像領域毎の撮像素子出力を並列信号処理する技術（特開平 5-153488 号公報等参照）も知られているが、この技術を 1 次元信号として出力される映像信号の並列信号処理にそのまま適用させることはできない。

【0007】 そこで、本発明の目的は、超高精細な映像の高速処理を実現すると共に、簡単な回路構成で小型化を図ることが可能な信号処理装置を提供することにある。

【0008】

【課題を解決するための手段】 本発明は、映像信号をデジタル変換後に並列的に処理する装置であって、前記デジタル変換後の映像信号を、画素配列方向である水平方向および該水平方向に直交する垂直方向に分割して 2 次元空間的な複数の分割領域を形成する領域分割手段と、前記各分割領域に隣接する隣接分割領域の一部の映像をのりしろ映像として、当該各分割領域の映像信号に付加する付加手段と、前記分割領域の分割数に対応した数を有し、かつ、前記のりしろ映像が付加された映像信号の信号量に対応した記憶領域を有する複数のメモリと、前記各メモリに記憶された前記のりしろ映像が付加された映像信号を、当該各メモリに対応した前記分割領域毎に並列して信号処理する並列信号処理手段と、前記並列して信号処理された各のりしろ映像が付加された映像信号を、映像出力用として合成する映像合成手段とを具えることによって、信号処理装置を構成する。

【0009】 ここで、前記付加手段によって、前記分割領域の一部の映像信号をのりしろ映像として付加することにより、前記分割領域よりも、水平方向、垂直方向、又はその両方向に対して広い領域の映像信号を用いて信号処理を行うことができる。

【0010】 前記複数のメモリを、複数のフィールドメモリ又は FIFO メモリとフィールドメモリの組み合わせにより構成し、前記映像信号を当該メモリに記録するタイミングを分割領域毎にずらしていくとき、各メモリの記録タイミングを分割領域よりも前後に広いタイミングで取り込むことにより、分割領域より広い領域の映像信号を各メモリに取り込むことができる。

【0011】前記映像信号は、撮像装置から得られた超高精細映像信号としてもよい。

【0012】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0013】【概要】本発明は、例えば、撮像装置から得られた超高解像度用の映像信号フォーマットで出力された信号出力を並列デジタル信号処理する装置において、映像信号を2次元領域で分割し、かつ、各分割領域毎にのりしろ映像を付加させることにより、映像信号を並列に2次元信号処理を実行するようにしたものである。

【0014】すなわち、超高精細テレビジョンカメラなどの撮像装置から得られた超高精細映像信号をAD変換後に並列的にデジタル信号で処理する装置において、領域分割部と並列信号処理部と領域合成部とを備え、映像信号を各並列信号処理系統の入力側に設けられたメモリへの書き込みを制御することによって2次元空間的な領域に分割し、それぞれの分割領域に対して並列に信号処理を行う。

【0015】この場合、それぞれの分割領域には隣接する分割領域の一部の映像信号をのりしろ映像として付加し、分割した領域よりも水平方向、垂直方向、又はその両方向に広い領域の映像信号（のりしろ映像）を用いて信号処理する。

【0016】以下、具体的な例を挙げて説明する。

【0017】【第1の例】本発明の第1の実施の形態を、図1～図5に基づいて説明する。

【0018】（システム構成）まず、本システムの構成を概略して説明する。図1は、本発明に係る信号処理装置の構成を示す。ここでは、超高精細テレビジョンカメラを例に挙げて説明する。

【0019】本装置は、A/D変換部1と、領域分割部2と、並列信号処理部3と、領域合成部4と、D/A変換部5とに大別される。

【0020】A/D変換部1では、例えば、テレビジョンカメラのCCD撮像素子から出力されたアナログの映像信号を、デジタル信号に変換する。

【0021】領域分割部2は、複数（ここでは、 $n=6$ 個）のフィールドメモリ20を備えている。これらフィールドメモリ20を用いて、A/D変換部1でデジタル化された映像信号が、複数の領域に分割される。本例では、映像信号は、6つの分割領域に分けられるものとする（後述する図2参照）。

【0022】この場合、隣合う分割領域の画素データ（例えば、30～40画素分）をのりしろ映像として各分割領域に付加するようにする。従って、フィールドメモリ20の記憶領域は、のりしろ映像を含む大きさ（水平方向、垂直方向に対する大きさ）を有している。

【0023】各分割領域の画素数としては、例えば、水

平方方向640画素、垂直方向518画素とすることができる。これにより、汎用デジタルLSI等が使い易くなり、また、信号の伝送においても低速なシリアル伝送を用いることができる。

【0024】並列信号処理部3は、各フィールドメモリ20に対応した複数の信号処理回路30を備えている。各信号処理回路30には、領域分割部2の各フィールドメモリ20から出力された各分割領域毎の映像信号が低速なシリアル信号等として伝送され、パラレル信号等に変換した後でフィルタ等の処理が並行して実行される。

【0025】具体的な処理としては、ゲインコントロール、輪郭補償、コアリング、ガンマ補正等の処理が並列して実行される。

【0026】そして、処理が終了した信号は、シリアル信号等に変換され、次段の領域合成部4へ伝送される。

【0027】領域合成部4は、各信号処理回路30に対応したFIFO（First-In、First-Out）メモリ40と、切替スイッチ41（マルチプレクサ等）とを備えている。各FIFOメモリ40に伝送された分割領域毎の信号は、切替スイッチ41を通して超高精細な映像信号として合成される。

【0028】D/A変換部5では、その合成されたデジタルの映像信号をアナログ化して出力信号として出力する。

【0029】（システム動作）次に、本装置の動作を、図1に基づいて説明する。

【0030】テレビジョンカメラのCCD撮像素子から入力された映像信号は、A/D変換部1においてAD変換され、デジタル信号に変換される。そして、デジタル化された映像信号は、2次元空間的に分割した分割領域毎に用意されたフィールドメモリ20に記録される。

【0031】フィールドメモリ20に記録された各分割領域の映像信号は、それぞれの信号処理回路30で並列に処理される。

【0032】その並列処理された各映像信号は、FIFOメモリ40、切替スイッチ41を介して、再び1つの映像信号（全体画面）に合成される。この合成された映像信号は、D/A変換されて出力信号として出力され、超高精細なCRT等のモニタに表示される。

【0033】（水平方向に対するのりしろ映像の付加）次に、映像信号の水平方向に、のりしろ映像を付加する場合を、図2および図3に基づいて説明する。

【0034】図2に示す水平ライン1、および、図3に示すメモリの動作タイミングの例について説明する。

【0035】図2は、映像信号を2次元領域で分割した例を示す。

【0036】ここでは、入力映像信号は、縦2段（垂直方向Y）、横3段（水平方向X）の合計6個の分割領域100（以下、分割領域1～6という）に分割されているものとし、各フィールドメモリ20（以下、フィール

ドメモリ 1~6 という) に記録されるものとする。

【0037】フィールドメモリ 1~6 は、分割領域 1~6 と、この分割領域 1~6 に隣接する分割領域におけるのりしろ映像部分 P (図 3 中のハッチング領域) とに相当する記憶容量を持ち、非同期のリード・ライト動作を可能とする。

【0038】この場合、のりしろ映像部分 P は、水平成分と垂直成分とに分割される。水平成分におけるのりしろ映像部分 P は位置 $X_1 \sim X_3$ に対応し、垂直成分におけるのりしろ映像部分 P は位置 Y_1 (=水平ライン e) ~ Y_3 (=水平ライン g) に対応する。

【0039】図 3 は、フィールドメモリ 20 の動作タイミングの 1 例を示す。

【0040】なお、図 3 に示す各種記号は、以下の内容を示すものとする。

【0041】

a : 分割領域 1 に相当する水平走査期間
b : 分割領域 2 に相当する水平走査期間
c : 分割領域 3 に相当する水平走査期間
d : フィールドメモリの記録/読出し猶予期間
D : 隣合う分割領域との重複期間
H : 入力映像信号の水平走査期間
dd : 任意の遅延時間

図 2 および図 3 において、まず、フィールドメモリ 1 には、入力映像信号の水平走査期間 H の 1/3 に相当する期間 a と、分割領域 1 および分割領域 2 が重なる期間 D (のりしろ映像) との画像データ (図 2 中、ハッチング領域の位置 X_3 までの長さ) を順次記録する。

【0042】記録後、記録/読出し猶予期間 d を経て、H の期間内に低速で読み出す。読み出された画像データは、信号処理回路 1 (信号処理回路 30) へ順次送られ、演算処理される。

【0043】その後、クロック速度変換のため、FIFOメモリ 1 (FIFOメモリ 40) に記録され、任意のタイミングで再び最初の入力映像信号と同じクロック速度で読み出される。

【0044】以上と同様な動作をフィールドメモリ 2~6 についても同様に順次実行する。

【0045】また、フィールドメモリ 2 においては、隣り合う分割領域が分割領域 1 と分割領域 3 の 2 つあるので、重複期間 D は、水平走査期間 b の前後に 2 つ付加される。

【0046】フィールドメモリ 3 においては、隣り合う分割領域が前の分割領域 2 にあるので、重複期間 D は水平走査期間の前に付加される。

【0047】以下、フィールドメモリ 4, 5, 6 においても、フィールドメモリ 1, 2, 3 と同様な動作が実行される。

【0048】そして、FIFOメモリ 1~6 から出力された画像データは、出力する画像フォーマットに合わせ

て切替スイッチ 41 で高速に切り替えられて 1 つの映像に合成され、必要に応じて D/A 変換処理された後、出力される。

【0049】(垂直方向に対するのりしろ映像の付加) 次に、映像信号の垂直方向に、のりしろ映像を付加する場合を、図 2 および図 4 に基づいて説明する。

【0050】図 2 に示す水平ライン (e-1), e, f, g, (g+1)、および、図 4 に示すメモリの動作タイミングの例について説明する。

【0051】なお、図 4 に示す各種記号は、以下の内容を示すものとする。

【0052】

a : 分割領域 1, 4 に相当する水平走査期間
d : フィールドメモリの記録/読出し猶予期間
D : 隣り合う分割領域との重複期間
H : 入力映像信号の水平走査期間
dd : 任意の遅延時間
MEM1 (e-1) ~ MEM4 (g+1) : フィールドメモリ内の 1 ライン分のデータ
MEM1' (e-1) ~ MEM4' (g+1) : FIFOメモリ内の 1 ライン分のデータ
そして、図 4 に示すように、まず、水平ライン (e-1) が出力されているとき、フィールドメモリ 1 には、期間 (a+D) の間の映像データ MEM1 (e-1) が記録される。

【0053】この映像データは、上記説明と同様に、低速で読み出され、演算処理され、クロック速度変換後、映像データ MEM1' (e-1) として出力される。

【0054】水平ライン (e-1) が出力されている間には、分割領域 1 の垂直下方に位置する分割領域 4 の映像データを記録するフィールドメモリ 4 は動作していない。

【0055】水平ライン e が出力されているときは、フィールドメモリ 1 および 4 は、同時に同じタイミングで映像データ MEM1 (e) と映像データ MEM4 (e) とを記録する。このとき、MEM1 (e) と MEM4 (e) とは、同じ映像データである。

【0056】同様に、水平ライン f が出力されているときは、同じ映像データがそれぞれフィールドメモリ 1, 4 に、MEM1 (f), MEM4 (f) として記録される。

【0057】水平ライン (g+1) が出力されているときは、フィールドメモリ 1 は動作せず、フィールドメモリ 4 にのみ映像データ MEM4 (g+1) として記録される。

【0058】以上の動作タイミングでメモリ制御が実行されることにより、フィールドメモリ 1 には、水平ライン 1 から分割領域としての水平ライン f よりも 1 ライン分多い水平ライン g (図 2 の位置 Y_3) までの映像データが記録されることになる。

【0059】一方、フィールドメモリ4には、分割領域である水平ラインfよりも1ライン分前の水平ラインe（図2の位置Y₁）から水平ラインhまでの映像データが記録されることになる。

【0060】また、上述したメモリ制御の動作タイミングは、フィールドメモリ2および5、さらには、フィールドメモリ3および6においてもそれぞれ同様に実行される。

【0061】なお、各メモリに重複して記録される隣合う分割領域のライン数は、水平ラインfに対して水平ラインe又は水平ラインgの1ラインとして説明したが、実際にはそれ以上でもよい。

【0062】以上により、各メモリに重複して記録され

$$O(x, y) = 2 * M(x, y) - \{M(x, y-1) + M(x-1, y) + M(x+1, y) + M(x, y+1)\} / 4 \quad \dots (1)$$

ただし、O(x, y) : 計算結果

M(x, y) : 被計算画素データ

(x, y) : 空間座標

xは右方向、yは下方に行くに従って増加する

このように、映像信号の空間位置(x, y)に対する2次元画像処理を行う場合、空間位置(x, y)の周りの位置(x, y-1)、(x-1, y)、(x+1, y)、(x, y+1)などの映像信号が必要となる。すなわち、2次元画像処理には、処理の結果得られる領域よりも広い領域の入力映像信号が必要である。このような理由から、のりしろ映像を付加させる。

【0067】〔第2の例〕本発明の第2の実施の形態を、図6および図7に基づいて説明する。なお、前述した第1の例と同一部分については、その説明を省略し、同一符号を付す。

【0068】本例では、図6に示すように、領域分割部2内のフィールドメモリ20の前段に、FIFOメモリ21をさらに設けて構成したものである。図7は、本システムにおける動作タイミングの例を示す。なお、図中、記号dは、FIFOメモリ21の記録/読出し猶予期間である。その他の記号は、前述した図3の動作タイミングと同様である。

【0069】このFIFOメモリ21を設けたことにより、フィールドメモリ20の動作速度も低速にすることが可能となる。

【0070】

【発明の効果】以上説明したように、本発明によれば、並列信号処理部の入力側に設けられたメモリに対して、テレビジョンカメラから得られたデジタルの映像信号の書き込みを制御して2次元空間的に任意の領域に分割し、各分割領域毎に映像信号を並列に信号処理するようにしたので、より解像度の高いテレビジョンカメラにおいても高速で信号処理を行うことができ、また、解像度の低いテレビジョンカメラにおいても各信号処理回路の動作

した映像データが、のりしろ映像が付加された映像信号となる。

【0063】（演算処理）次に、演算処理について説明する。

【0064】図5は、空間フィルタ処理等の2次元画像演算処理を行う場合、計算の結果出力される領域よりも1次元的又は2次元的により広い領域の被計算映像信号が、のりしろ映像が付加された映像信号として必要な理由を説明するものである。

【0065】例として、空間エンハンスフィルタを実現する場合、その計算式の1例は、以下のようになる。

【0066】

速度を低く抑えることができ、これにより、映像信号の高速処理を実現すると共に、汎用LSIを用いて装置の小型化を図ることができる。

【0071】また、本発明によれば、各分割領域に隣接する分割領域の一部の映像信号をのりしろ映像として付加したので、本来の分割領域の周囲にのりしろ映像を有することから、空間フィルタなどの2次元信号処理を行っても分割領域画像端部において信号処理の影響を受けるようなことがなく、これにより、超高精細な撮像システムを構成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態であるシステム構成を示すブロック図である。

【図2】映像信号を2次元領域で分割した例を示すブロック図である。

【図3】映像の水平方向に隣合うフィールドメモリの動作タイミングを示す説明図である。

【図4】映像の垂直方向に隣合うフィールドメモリの動作タイミングを示す説明図である。

【図5】2次元画像処理の例を示す説明図である。

【図6】本発明の第2の実施の形態であるシステム構成を示すブロック図である。

【図7】図6に示したシステムにおけるフィールドメモリの動作タイミングを示す説明図である。

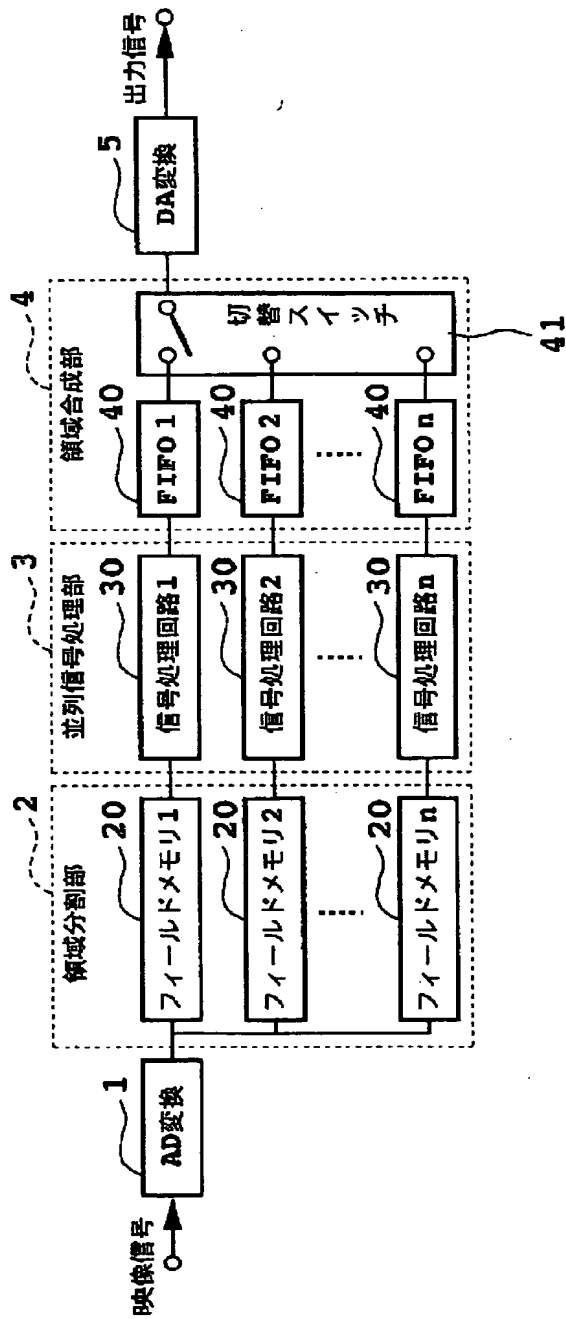
【符号の説明】

- 1 A/D変換部
- 2 領域分割部
- 3 並列信号処理部
- 4 領域合成部
- 5 D/A変換部
- 20 フィールドメモリ
- 21 FIFO
- 30 信号処理回路
- 40 FIFO

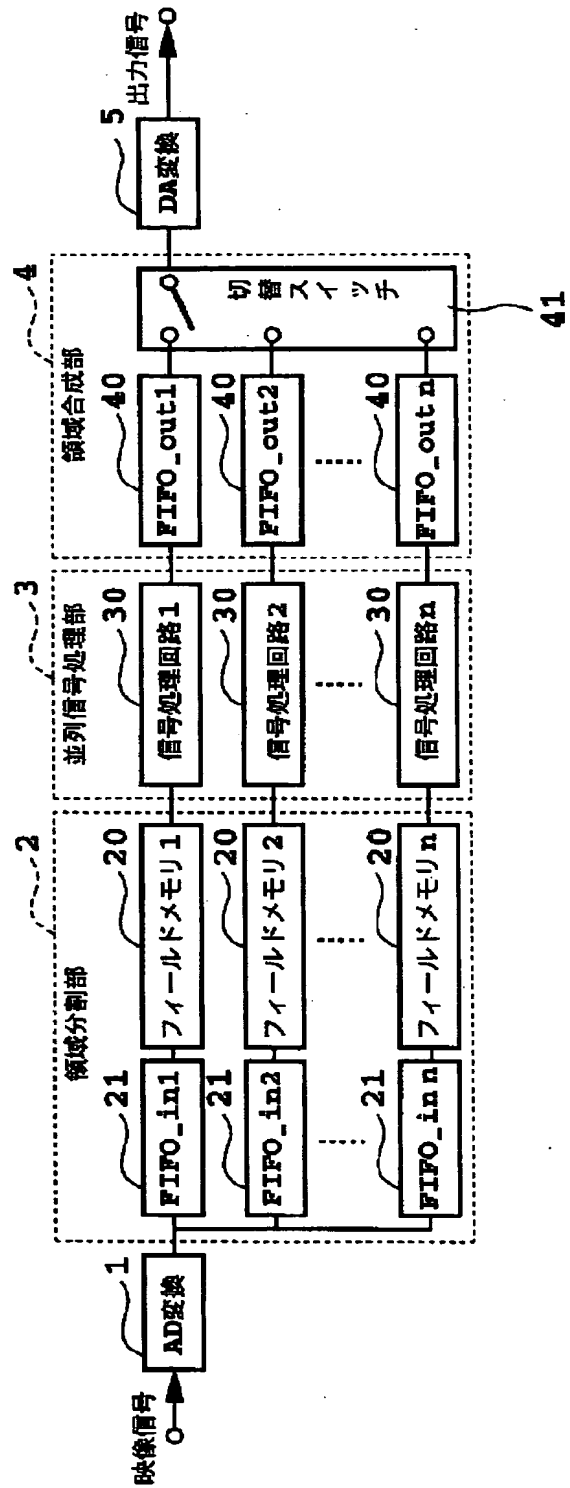
41 切替スイッチ

100 分割領域

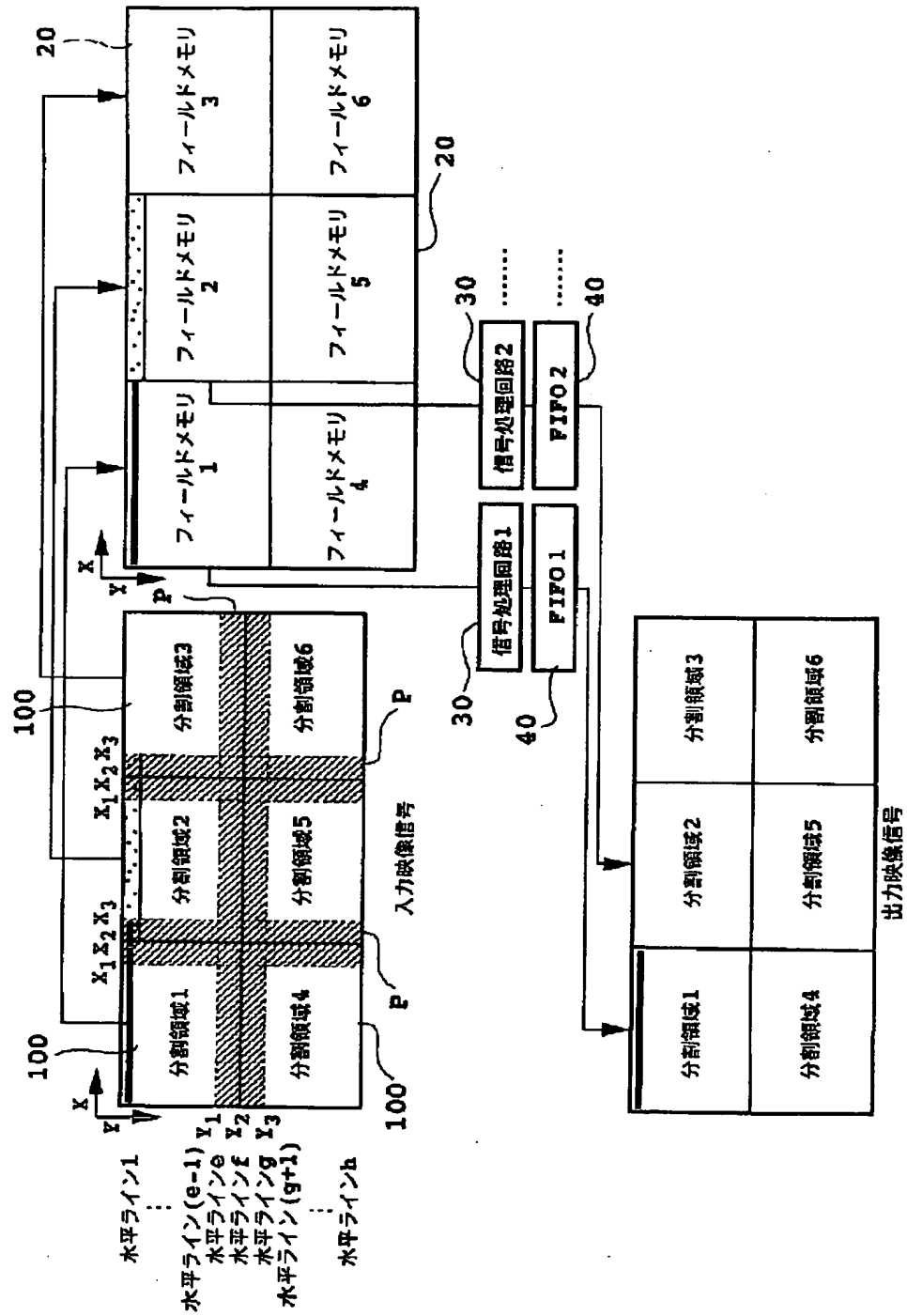
【図1】



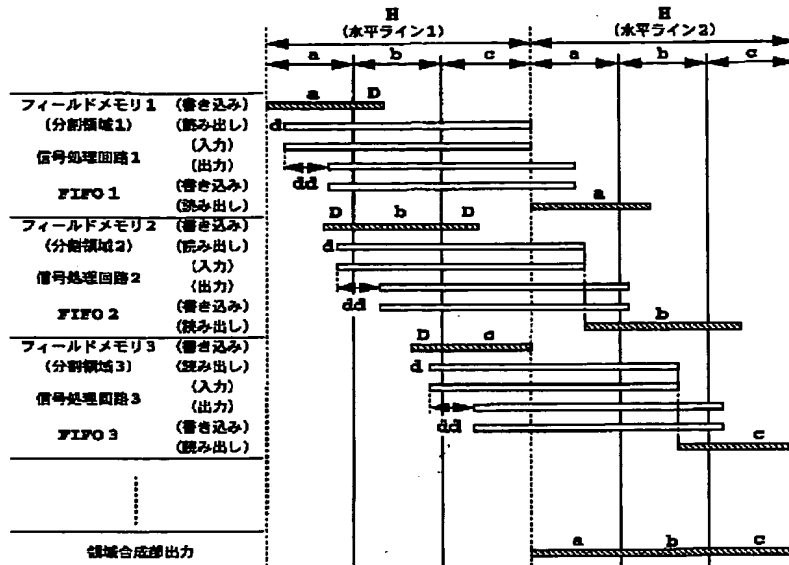
【図6】



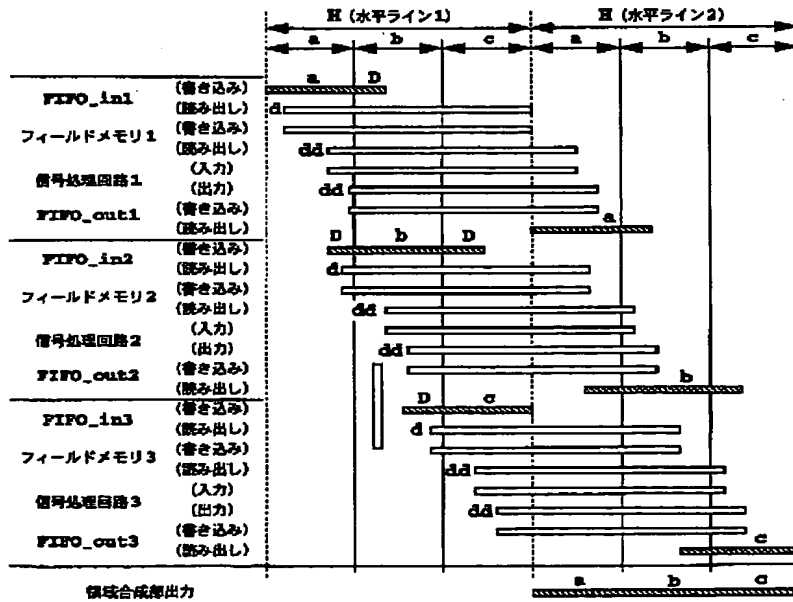
【図2】



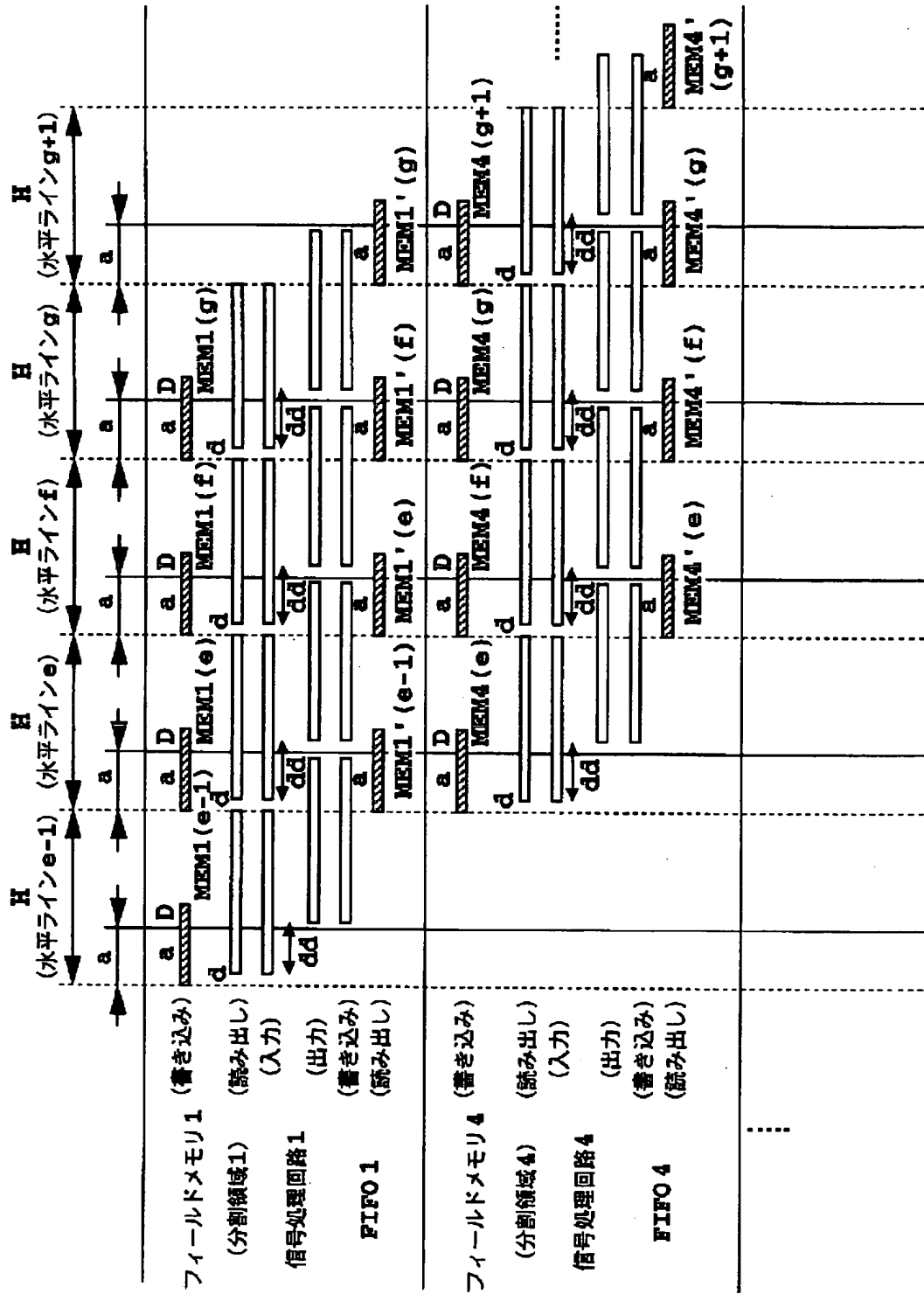
【図 3】



【図 7】



【図 4】



【図 5】

